 **Universidad Autónoma de Nuevo León**

**Facultad de Ingeniería Mecánica y Eléctrica**

Sistemas Digitales

Práctica #3: Compuertas lógicas

Integrantes del equipo:

Eduardo Vicente Reyna Villela 1868879

Saúl Gutiérrez Flores 1844290

Profesor:

ING. Jesús Daniel Garza Camarena

Semestre Agosto – diciembre 2019

Hora y días: M – N5

San Nicolás de los Garza, N.L a 01 de septiembre del 2019

# Objetivos particulares

Durante el desarrollo de esta práctica el alumno implementara físicamente los operadores lógicos And, Or, Nand, Nor yExor de tres entradas en un solo Circuito Integrado (Chip), programando un Dispositivo Lógico Programable (PLD), con la ayuda la captura esquemática (Schematic) mediante un programa de aplicación y comprobando en un circuito sus tablas de verdad.

# Elementos de competencia

Identificar el Símbolo, Expresión Matemática y Tabla de Verdad de los Operadores lógicos And, Or, Nand, Nor, y Exor. Instalar el programa ispLEVER Starter o el ispLEVER Clasic. Asi como obtenr su licencia de uso. Crear un nuevo proyecto utilizando el programa de ispLEVER Starter o el ispLEVER Clasic. Crear una nueva fuente (New Sorce) con los operadores And, Or, Nand, Nor yExor de tres entradas, por medio de la captura esquemática (Schematic). Obtener los archivos de reporte (RPT) y Programación (JED) del PLD. Programar el PLD utilizando el archivo JEDEC generado anteriormente. Efectuar las conexiones físicas necesarias para generar las señales de entrada y salida del PLD y comprobar físicamente las tablas de verdad de cada uno de los operadores. Comunicar el procedimiento y los resultados obtenidos por medio de un reporte escrito.

# Material:

* Tablilla de conexiones
* Circuito Integrado PLD GAL22V10 o ATF22V10C.
* 8 resistores de 330 Ω
* Fuente de 5 V de corriente directa
* 1 Dip switch de 4 o 8 interruptores o 3 micro Push Boton NA
* 8 leds

# Introducción

**E**n esta tercera práctica llevaremos a cabo la programación de un dispositivo lógico programable *(PLD)* con ayuda del programa *ispLEVER* con el que haremos el diseño esquématico para después arrojarnos el archivo *JEDEC* (.jed) y el *Chip Report* y después realizar el modelo físico en el programa *Proteus,* a continuación, se explica el desarrollo de la práctica.

# Diagrama esquemático

1. Una vez teniendo instalado el *ispLEVER*, creamos un nuevo proyecto con *Schematic/ABEL*, después señalamos la familia del dispositivo *PLD* que vamos a programar el cual es *GAL* *Device*, escogimos el dispositivo *GAL22V10D* y el paquete *24PDIP.*
2. Creamos una nueva fuente con *Schematic* y le asignamos un nombre.
3. En el *Schematic* insertamos símbolos (representación gráfica de los componentes u operadores):

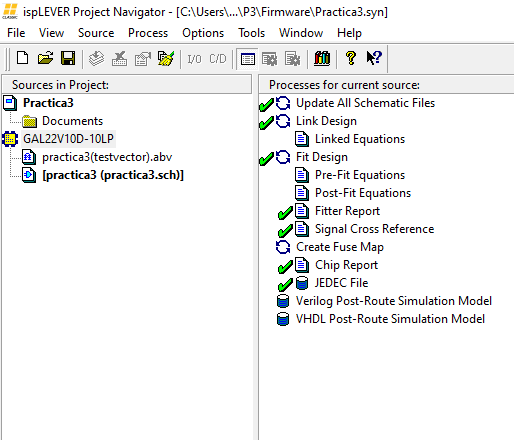
* 3NAND
* 3NAND
* 3OR
* 3NOR
* (2) 2EXOR (Propiedad asociativa)

1. Hicimos las conexiones en el *Schematic* y asignamos nombres a las etiquetas.

Imagen que contiene captura de pantalla

Descripción generada automáticamente

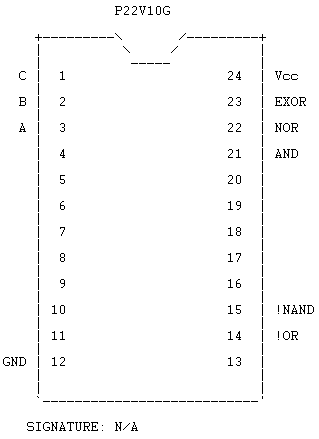
1. Una vez compilado el *Schematic*, el programa nos arrojó varios archivos, entre ellos el archivo JEDEC el *Chip Report* con el *Chip Diagram.*

****

# Chip Report

**Imagen que contiene mapa

Descripción generada automáticamente**

****

# Test\_Vector

1. Después creamos un nuevo archivo fuente con el *ABEL* *Test* *Vectors*, con la extensión .abv en el que ingresamos un código para que nos arrojara los resultados y poder visualizarlos en el *JEDEC* *simulation.*

*Código*

1. Una vez escrito el código, lo compilamos y el programa nos arrojó unos archivos entre ellos el *JEDEC Simulation* con el que vamos a visualizar los resultados de forma gráfica.

Imagen que contiene captura de pantalla

Descripción generada automáticamente

# Diagrama y simulación en Proteus

1. Una vez hecho todo lo anterior y con ayuda de la imagen arrojada por el *Chip Report* con las entradas y salidas, creamos el modelo físico en *Proteus.*

Imagen que contiene texto

Descripción generada automáticamente

1. Después de realizar las conexiones pertinentes insertamos el archivo JEDEC (.jed) en el GAL (PLD) para que realice sus funciones.

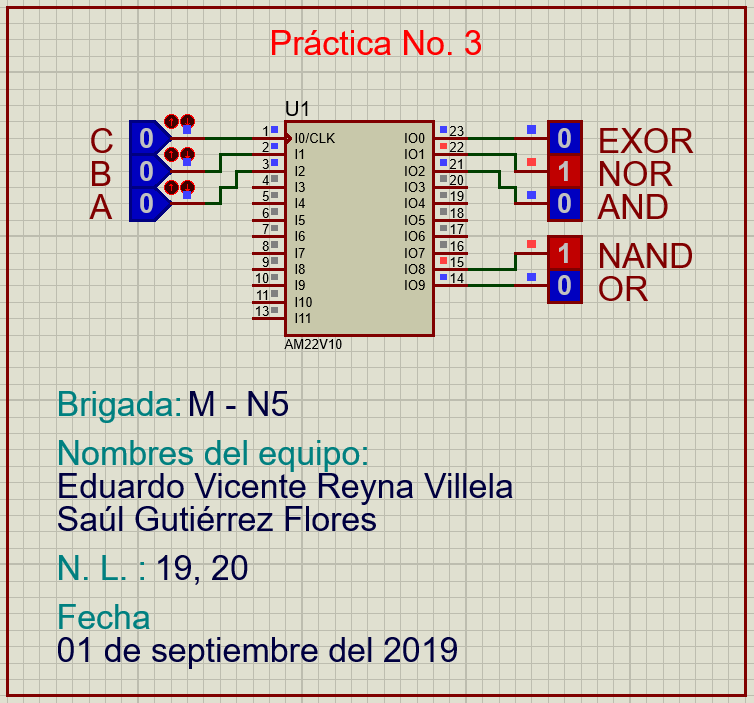
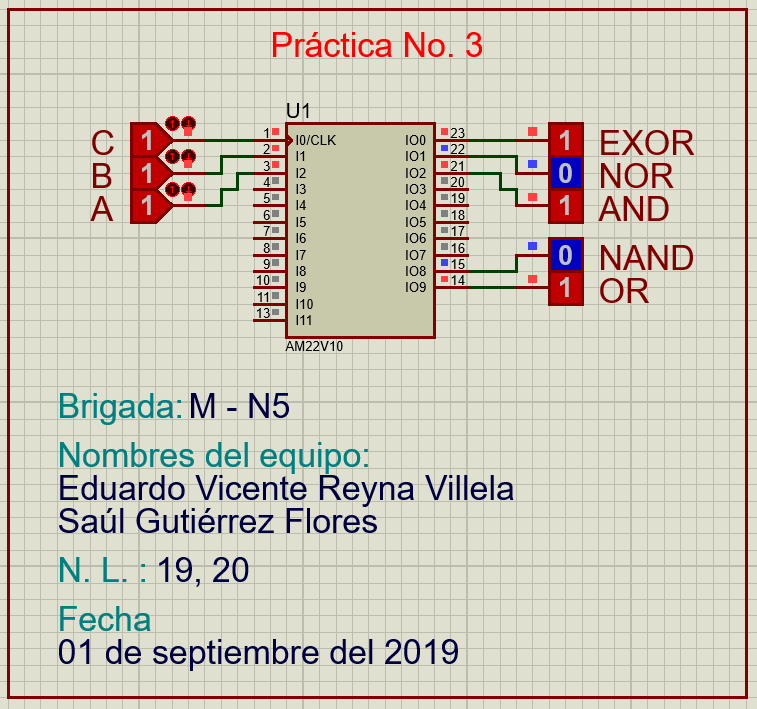


Imagen que contiene texto

Descripción generada automáticamente

Imagen que contiene texto

Descripción generada automáticamente

# Conexiones necesarias y evidencia del circuito

# Tabla de verdad

# Cuestionario

¿Cuál es el significado de la palabra GAL?

*R=*

¿Cuántas Entradas máximo puede tener el de GAL22V10?

*R=*

¿Cuántas Salidas máximo puede tener el de GAL22V10?

*R=*

¿Cuál es el significado de JEDEC?

*R=*

¿Calcule el número de circuitos integrados TTL que se requieren para implementar esta práctica?

*R=*

# Conclusiones

*Eduardo Vicente Reyna Villela:*

*Esta segunda práctica nos ayudó a comprender más sobre las compuertas lógicas que existen, así como la historia de quien las creó (George Boole) y que cada una de estas aplican su función mediante los circuitos integrados TTL’s los cuáles hay para cada una de las compuertas lógcas,*

*Saúl Gutiérrez Flores:*

*Gracias a esta práctica he podido comprender más acerca del funcionamiento de las compuertas lógicas y su comportamiento, también logré aprender acerca del software de simulación proteus que desde mi punto de vista nos ayudó bastante con la comprensión del funcionamiento de las compuertas lógicas y nos ayudó al razonamiento de las mismas.*

**Referencias bibliográficas**

<http://jagarza.fime.uanl.mx/Enero/E2017/Lab/P1n2017.pdf>

<https://www.youtube.com/watch?v=VzBwXi2aFZw>

<http://jagarza.fime.uanl.mx/general/laboratorio/pdf/pra3.pdf>